

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03050525 **Image available**

METHOD OF FORMING CONTACT HOLE

PUB. NO.: 02-026025 [JP 2026025 A]

PUBLISHED: January 29, 1990 (19900129)

INVENTOR(s): KADOKAKE TOSHIHARU

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-175620 [JP 88175620]

FILED: July 14, 1988 (19880714)

INTL CLASS: [5] H01L-021/302; H01L-021/90

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA)

JOURNAL: Section: E, Section No. 912, Vol. 14, No. 168, Pg. 154, March
30, 1990 (19900330)

ABSTRACT

PURPOSE: To shorten the manufacturing lead time for removing a damaged layer by a method wherein carbon fluoride gas is added to an oxygen atmosphere in an RIE apparatus and a specific plasma treatment is performed and the damaged layer on the substrate surface exposed in contact window is removed by etching.

CONSTITUTION: For instance, reactive ion etching(RIE) 52 is employed as an etching means. Contact windows 14 and 15 which expose the surface of the semiconductor substrate 1 are formed in an insulating film 10 formed on the semiconductor substrate 1 and the inside of the RIE apparatus 52 is switched to an oxygen atmosphere and a plasma treatment is performed to remove a resist film 13 by ashing. Then carbon fluoride gas is added to the oxygen atmosphere and a plasma treatment is performed with a radio frequency output lower than that when the contact windows 14 and 15 are formed and the resist film 13 is removed by ashing to remove the damaged layer 16 of the semiconductor substrate 1 surface exposed in the contact holes 14 and 15 by etching. With this constitution, the labor required for removing the damaged layer 16 is almost eliminated.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
008184966 **Image available**

WPI Acc No: 1990-071967/199010

Forming electrode contact holes for semiconductor device - by ashing with oxygen atmosphere in etching chamber, adding carbon fluoride to oxygen for high-frequency plasma etching NoAbstract Dwg 1/4

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2026025	A	19900129	JP 88175620	A	19880714	199010 B

Priority Applications (No Type Date): JP 88175620 A 19880714

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 2026025	A	4		
------------	---	---	--	--

Title Terms: FORMING; ELECTRODE; CONTACT; HOLE; SEMICONDUCTOR; DEVICE; ASH; OXYGEN; ATMOSPHERE; ETCH; CHAMBER; ADD; CARBON; FLUORIDE; OXYGEN; HIGH; FREQUENCY; PLASMA; ETCH; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/30

File Segment: CPI; EPI

⑫ 公開特許公報 (A)

平2-26025

⑬ Int. Cl. 5

H 01 L 21/302
21/90

識別記号

N C
8223-5F
6824-5F

⑭ 公開 平成2年(1990)1月29日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 コンタクトホールの形成方法

⑯ 特 願 昭63-175620

⑰ 出 願 昭63(1988)7月14日

⑱ 発明者 角掛 俊治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

コンタクトホールの形成方法

2. 特許請求の範囲

平行平板型プラズマエッチング装置を用い、レジスト膜をマスクにしてプラズマ処理を行い、半導体基板上の絶縁膜に該半導体基板面を表出するコンタクト窓を形成する工程、

該エッチング装置内を酸素雰囲気に切換えてプラズマ処理を行い、該レジスト膜をアッシング除去する工程、

該エッチング装置内の酸素雰囲気に弗化炭素ガスを添加し、且つ上記コンタクト窓の形成及びレジスト膜のアッシングの際より低い高周波出力でプラズマ処理を行い、該コンタクト窓内に表出する半導体基板面のダメージ層をエッチング除去する工程を含むことを特徴とするコンタクトホールの形成方法。

3. 発明の詳細な説明

〔概要〕

半導体装置のコンタクト窓成形方法、特に枝葉式プロセスによるコンタクト窓の形成方法に関し、製造コストの低減、製造工数の減少、製造手番の短縮が図れるダメージ除去方法を含むコンタクト窓の形成方法を提供することを目的とし、

平行平板型プラズマエッチング装置を用い、レジスト膜をマスクにしてプラズマ処理を行い、半導体基板上の絶縁膜に該半導体基板面を表出するコンタクト窓を形成する工程、該エッチング装置内を酸素雰囲気に切換えてプラズマ処理を行い、該レジスト膜をアッシング除去する工程、該エッチング装置内の酸素雰囲気に弗化炭素ガスを添加し、且つ上記コンタクト窓の形成及びレジスト膜のアッシングの際より低い高周波出力でプラズマ処理を行い、該コンタクト窓内に表出する半導体基板面のダメージ層をエッチング除去する工程を含んで構成する。

(産業上の利用分野)

本発明は半導体装置のコンタクト窓成形方法、特に枚葉式プロセスによるコンタクト窓の形成方法に関する。

高集積化され各種パターンが微小化される半導体装置においては、性能や製造歩留りを向上するために、高いバクーニング精度を有するエッチング技術が要望される。

現在上記要望に応えるエッチング手段として、リアクティブイオンエッチング(RIE)が主として用いられている。

このRIE処理は、平行平板型の装置を用い、陰極となるターゲット電極上に被処理基板を置き、これに平行な対向電極との間に高周波電力を印加して行われるエッチング方法で、この際ターゲット電極表面上に形成される陰極降下(陰極輪)内の基板面に対して垂直方向の電界に沿って活性ガスイオンが基板面に垂直に入射し、その向きにエッチングが進行するために、サイドエッチングを生ぜずに高いエッチング精度が得られる。

時間及び工数をかけずに容易に行う方法が要望されている。

(従来の技術)

枚葉処理による製造プロセスにおいては、半導体基板上の絶縁膜にコンタクト窓を形成する際にも、前記RIE処理が用いられ、該RIE処理に用いたレジストマスクの除去にも前記アッシング処理が用いられる。

そのためコンタクト窓内に表出する基板面にエッチングガスのイオン及び酸素イオン等によって顕著なダメージ層が形成され、その儀の状態でコンタクト窓上に配線を形成した場合、前記ダメージ層の介在によって半導体基板と配線とのコンタクト抵抗が異常に高くなるという問題を生ずる。そこで従来は第4図に示すように、コンタクト窓開孔工程31において、レジストをマスクにしたRIE処理によるコンタクト窓を開孔し、次いで同一装置内におけるO₂プラズマ処理によるレジストアッシング工程32で前記レジストマスクを除

このRIE処理は多くは基板一枚毎の枚葉処理であるために、処理効率を高めて実用性を得るのに高出力プラズマによる処理がなされ、そのために高エネルギーを持った活性ガスイオンが基板面に注入されて、基板面に大きなダメージを与えるという欠点を持っている。

また上記RIE処理に続く枚葉処理プロセスに、同一の装置を用いた酸素(O₂)プラズマ処理により上記RIE処理のマスクに用いたレジストをアッシング(灰化)除去する工程があるが、この工程においてもRIE処理同様に高出力プラズマによる処理がなされるので、同様基板面に大きなダメージを及ぼす。

以上により枚葉処理による半導体装置の製造プロセスにおいては、基板面に及ぼされたダメージによる特性劣化の問題が顕在化しており、ダメージを除去することが半導体装置の性能及び歩留りを向上するための重要な要素になっている。

そして、半導体装置の製造コスト及び製造手番を増大せしめないために、上記ダメージ除去を、

去した後、ウエット法によるダメージ除去工程33でフロントエッジ(HF)と硝酸(HNO₃)との混液等によるウエットエッチング処理によって上記ダメージ層の除去を行うことにより、基板と配線とのコンタクト抵抗を減少させ、これによってコンタクト抵抗の増大に起因する半導体装置の性能劣化の防止がなされていた。

(発明が解決しようとする課題)

しかし上記ウエットエッチング処理によってダメージ層を除去する工程33を含む従来のコンタクト窓形成方法においては、該ダメージ除去工程33において、一定のエッチングレートを保つために薬品の使用回数に制限を生じてその消費量が増大し、且つ基板の並べ替え等工程が複雑になるために、製造コスト、製造工数及び製造手番の増大を招くという問題があった。

そこで本発明は、製造コストの低減、製造工数の減少、製造手番の短縮が図れるダメージ除去方法を含むコンタクト窓の形成方法を提供すること

を目的とする。

(課題を解決するための手段)

上記課題は、平行平板型プラズマエッティング装置を用い、レジスト膜をマスクにしてプラズマ処理を行い、半導体基板上の絶縁膜に該半導体基板面を表出するコンタクト窓を形成する工程、該エッティング装置内を酸素雰囲気に切換えてプラズマ処理を行い、該レジスト膜をアッティング除去する工程、該エッティング装置内の酸素雰囲気に弗化炭素ガスを添加し、且つ上記コンタクト窓の形成及びレジスト膜のアッティングの際より低い高周波出力でプラズマ処理を行い、該コンタクト窓内に表出する半導体基板面のダメージ層をエッティング除去する工程を含む本発明によるコンタクトホールの形成方法によって解決される。

(作用)

即ち本発明の方法においては、エッティングガスによるコンタクト窓開孔のRIE処理を終わり、 O_2

ガスによるレジストマスクのアッティング除去処理を終わった後、同一装置内で O_2 ガスに少量の弗化炭素を混入することによって該 O_2 ガスにシリコンのエッティング性を付与し、RIE処理及びアッティング処理の場合の1/2以下程度の低い高周波出力による前記弗化炭素を10~20%程度含む O_2 ガスのプラズマ処理を行って、コンタクト窓内に表出する半導体基板面のダメージ層をエッティング除去する。

少量の弗化炭素を含む O_2 ガスによるRIE処理においては、コンタクト窓内に表出する基板面に付着或いは叩き込まれた有機系の汚染物質は酸素イオン或いは酸素ラジカルによって灰化除去され、表出した清浄な半導体面が弗化イオン及び弗化ラジカルによってエッティングされてダメージ層が完全に除去されていく。そして高周波出力を低い値に設定することによって、エッティングレートは低く維持されるので著しくオーバーエッティングを生ずることがなく、且つ該ダメージ層除去のためのRIE処理によって新たに生ずるダメージの量は極めて少なくなる。

従って本発明によれば、RIE処理によるコンタクト窓の開孔、 O_2 プラズマによるレジストマスクのアッティング除去、及び O_2 に弗化炭素を少量添加したガスを用いたRIE処理によるダメージ層の除去を、同一の平行平板型のエッティング装置内で、被処理半導体基板を同一場所に固定した儘の状態で、引き続いて行うことができる、ダメージ層除去のために生ずる手間は殆ど皆無に等しくなり、且つ薬品も不用になる。

(実施例)

以下本発明を、図示実施例により具体的に説明する。

第1図(a)~(d)は本発明に係る一実施例の工程断面図、第2図はRIE装置の模式図、第3図はダメージ層除去の際の($O_2 + CF_4$)プラズマ処理時間とコンタクト抵抗の関係を示す図である。

本発明の方法により例えばMOS半導体装置のコンタクト窓を形成するに際しては、第1図(a)に示すように、フィールド酸化膜2及びその下部の

p型チャネルストップ3によって画定されたp型シリコン(Si)基板1面の素子領域4上にゲート酸化膜5を介してポリSi等よりなるゲート電極6を形成し、該素子領域4の基板内にゲート電極の側面に整合してn型ソース領域7及びn型ドレイン領域8を形成してなる被処理基板のシリコン表出面に不純物プロック用酸化膜9を形成し、次いでCVD法により該基板上に例えばPSGからなる厚さ5000~6000Å程度の層間絶縁膜10を形成した後、通常のフォトプロセスにより上記層間絶縁膜10上にソース及び、ドレイン領域7及び8に対するコンタクト窓に対応する開孔11及び12を有するレジストマスク層13を形成する。

次いで上記被処理基板51を従来通り第2図に示すリアクティブイオンエッティング(RIE)装置52のターゲット電極53上に搭載し、ガス導入口54から所定流量の例えば3弗化メタン(CHF_3)ガスを流入し、真空排気口55から所定の排気を行ってエッティング装置52内のガス圧を0.1~1Torr程度に保った状態で、ターゲット電極53と対向電極56との間

に $1 \sim 2 \text{ W/cm}^2$ 程度の出力密度を有する高周波出力を印加し、第1図(a)に示すようにレジストマスク層13の開孔11及び12を介し、層間絶縁膜10及びその下部の不純物ブロック用酸化膜9のRIE処理を行って、該層間絶縁膜10及び不純物ブロック用酸化膜9にソース領域7及びドレイン領域8を表出するコンタクト窓14及び15を開孔する。ここでコンタクト窓14及び15内に表出するソース領域7及びドレイン領域8の表面には、例えば数10Å程度の深さのダメージ層16が形成される。

なお、第2図において、57は高周波発振器、58は接地点、59はコンデンサを示す。

次いで前記被処理基板51をターゲット電極53上に搭載した儘、第2図のRIE装置52内をO₂で置換し、該O₂雰囲気の圧力を1Torr程度に維持した状態で、電極53、56間に2~2.5 W/cm²程度の出力密度を有する高周波出力を印加し、第1図(c)に示すように、該O₂プラズマによってレジストマスク層13をアッティング除去する。この際、前記ダメージ層16は100Å程度の深さに拡大する。

第3図はダメージ層除去に従来のウエットエッティング法を用いて1.5KΩ程度のコンタクト抵抗が得られる試料に付いて、上記(O₂ + CF₄)プラズマ処理の時間とコンタクト抵抗の関係を示した図で、この図の曲線Cから本実施例の場合約20秒程度でダメージ層の除去は完了し、それ以後コンタクト抵抗が一定の値になることがわかる。またその際のコンタクト抵抗は500~800 Ω程度になり、従来方法による1.5KΩに比べて大幅に減少した値になる。

(発明の効果)

以上説明のように本発明の方法によれば、コンタクト窓の開孔及び、レジストマスク除去に際してコンタクト窓内に表出する半導体基板面に形成されるダメージ層の除去を、同一のRIE処理装置内のターゲット電極上に被処理基板を固定した儘の状態で連続して行うことができる。ダメージ層除去のために生ずる手間は殆ど皆無に等しくなり、且つ薬品も不用になる。またコンタクト抵抗も従来に比べて大幅に減少できる。

次いでRIE装置内のO₂雰囲気に約20%程度の4%フッ化炭素(CF₄)を添加し(この際装置内のガス圧は1.2 Torr程度になる)、前記コンタクト窓開孔の際の1/2程度、例えば1~2 W/cm²程度の出力密度を有する高周波出力を20~60秒程度印加し、励起された酸素及びフッ素のイオン及びラジカルによって、第1図(d)に示すように、コンタクト窓14、15内に表出するダメージ層16をエッティング除去する。

この際、エッティングガスがO₂を主体としているため、絶縁膜のエッティング量は極めて微量である。またダメージ層16を除去した部分に凹部17が形成されるが、高々100Å程度であるので素子の性能に影響を及ぼすことはない。

ついで通常の工程により、第1図(e)に示すように、コンタクト窓14及び15上にアルミニウム(AI)若しくはAI合金等よりなるソース配線18及びドレイン配線19を形成し、以後図示しない被覆絶縁膜の形成等がなされて本発明の方法を用いたMOS型半導体装置が完成する。

従って本発明は半導体装置の製造コストの低減、製造工数の減少、製造手番の短縮及び性能向上に極めて有効である。

4. 図面の簡単な説明

第1図(a)~(e)は本発明に係る一実施例の工程断面図。

第2図はRIE装置の模式図。

第3図はダメージ層除去の際の(O₂ + CF₄)プラズマ処理時間とコンタクト抵抗の関係を示す図。

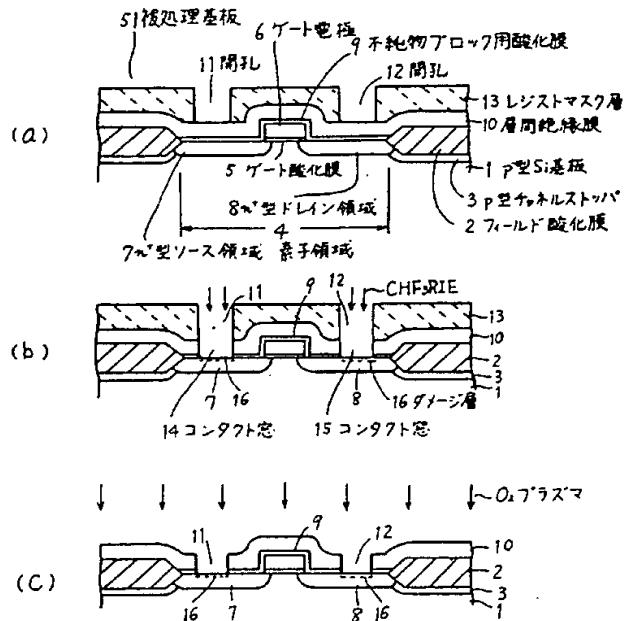
第4図は従来方法の工程図である。

図において、

- 1はp-型Si基板、
- 2はフィールド酸化膜、
- 3はp型チャネルストップ、
- 4は素子領域、
- 5はゲート酸化膜、
- 6はゲート電極、

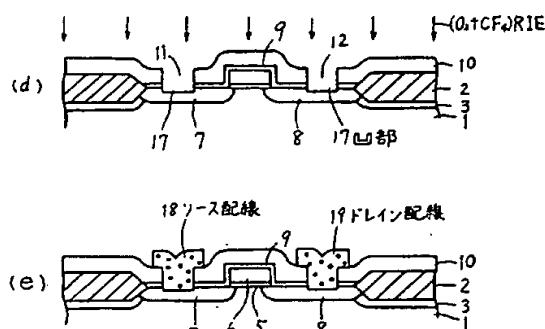
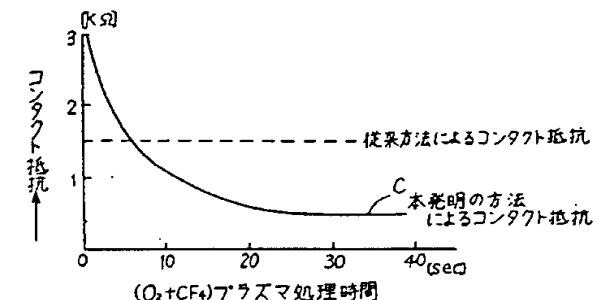
7はn⁺型ソース領域、
8はn⁺型ドレイン領域、
9は不純物ブロック用酸化膜、
10は層間絶縁膜、
11、12はレジストマスクの開孔、
13はレジストマスク層、
14、15はコンタクト窓、
16はダメージ層、
17は凹部、
18はソース配線、
19はドレイン配線
を示す。

代理人弁理士 井桁貞一

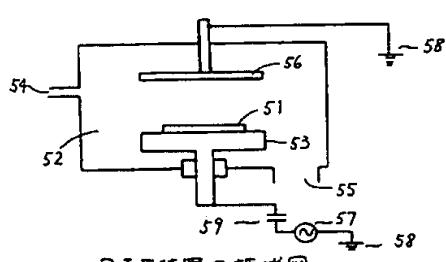


本発明の一実施例の工程断面図

第1図(その1)

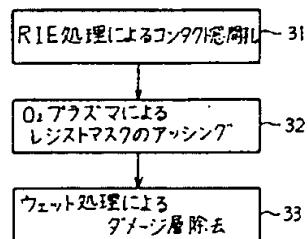
本発明の一実施例の工程断面図
第1図(その2)(O₂+CF₄) プラズマ処理時間とコンタクト抵抗の関係

第3図



RIE装置の模式図

第2図



従来方法の工程図

第4図